

PATENT ABSTRACTS OF JAPAN

No.5

(11)Publication number : 2000-344598

(43)Date of publication of application : 12.12.2000

(51)Int.Cl.

C30B 29/06

H01L 21/205

H01L 21/322

(21)Application number : 2000-080222

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 22.03.2000

(72)Inventor : IKARI ATSUSHI
NAKAI KATSUHIKO
HASEBE MASAMI
OHASHI WATARU

(30)Priority

Priority number : 11084908 Priority date : 26.03.1999 Priority country : JP

(54) SILICON SEMICONDUCTOR SUBSTRATE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a silicon semiconductor substrate which has a high quality defect-free layer having sufficient depth at the surface area of the substrate, being used as the device forming area, and excellent in gettering ability, and to provide a method for producing the same.

SOLUTION: The silicon semiconductor substrate is obtained from a silicon single crystal grown by a Czochralski method and contains nitrogen in an amount of 5×10^{13} to 2×10^{16} atoms/cm³ and carbon in an amount of 1×10^{16} to 1×10^{18} atoms/cm³. Further, the silicon semiconductor substrate has the density of crystal defects having defect sizes of $\geq 0.1 \mu\text{m}$ of $\leq 10^4$ pieces/cm³ expressed in terms of the diameter, at least in the area up to the depth of $1 \mu\text{m}$ from the substrate surface and has the density of crystal defects having defect sizes of $\geq 0.1 \mu\text{m}$ of $\geq 5 \times 10^9$ pieces/cm³ expressed in terms of the diameter at the center of the thickness direction of the substrate.

LEGAL STATUS

[Date of request for examination]

23.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-344598

(P2000-344598A)

(43) 公開日 平成12年12月12日 (2000. 12. 12)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
C 3 0 B 29/06	5 0 2	C 3 0 B 29/06	A 4 G 0 7 7
H 0 1 L 21/205		H 0 1 L 21/205	5 0 2 J 5 F 0 4 5
21/322		21/322	Y

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願2000-80222(P2000-80222)
(22) 出願日 平成12年3月22日 (2000. 3. 22)
(31) 優先権主張番号 特願平11-84908
(32) 優先日 平成11年3月26日 (1999. 3. 26)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000006655
新日本製鐵株式会社
東京都千代田区大手町2丁目6番3号
(72) 発明者 碓 敦
千葉県富津市新富20-1 新日本製鐵株式
会社技術開発本部内
(72) 発明者 中居 克彦
千葉県富津市新富20-1 新日本製鐵株式
会社技術開発本部内
(74) 代理人 100072349
弁理士 八田 幹雄 (外4名)

最終頁に続く

(54) 【発明の名称】 シリコン半導体基板及びその製造方法

(57) 【要約】

【課題】 デバイス作成領域となる基板表面部に高品質かつ十分な深さの無欠陥層を有する一方で、ゲッタリング能力に優れたシリコン半導体基板、およびその製造方法を提供する。

【解決手段】 シリコン半導体基板中の窒素含有量が $5 \times 10^{13} \text{ atoms/cm}^3$ 以上 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下であり、炭素含有量が $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であるチョクラルスキー法により育成したシリコン単結晶から得たシリコン半導体基板であって、少なくとも基板表面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が 10^4 個/cm^3 以下であり、基板の厚み中心において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^9 \text{ 個/cm}^3$ 以上であることを特徴とするシリコン半導体基板。

【特許請求の範囲】

【請求項1】 シリコン半導体基板中の窒素含有量が $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下であり、炭素含有量が $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であるチョクラスキー法により育成したシリコン単結晶から得たシリコン半導体基板であって、少なくとも基板表面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が 10^4 個/ cm^3 以下であり、基板の厚み中心において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が 5×10^9 個/ cm^3 以上であることを特徴とするシリコン半導体基板。

【請求項2】 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有し、かつ $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下の炭素を含有するシリコン融液よりチョクラスキー法により育成したシリコン単結晶から得たシリコン半導体基板を、非酸化性雰囲気において 1000°C 以上 1300°C 以下の温度で1時間以上熱処理することを特徴とするシリコン半導体基板の製造方法。

【請求項3】 シリコン単結晶をチョクラスキー法により育成する際に、引上速度を $V \text{ (mm/min)}$ 、シリコン融液から 1300°C までの温度範囲における引上軸方向の結晶内温度勾配の平均値を $G \text{ (}^\circ\text{C/mm)}$ とすると、 $V/G \geq 0.2 \text{ (mm}^2/^\circ\text{C} \cdot \text{min)}$ を満足する条件で育成する請求項2に記載のシリコン半導体基板の製造方法。

【請求項4】 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有し、かつ $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下の炭素を含有するシリコン融液よりチョクラスキー法により育成したシリコン単結晶から得たシリコン半導体基板表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板。

【請求項5】 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有し、かつ $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下の炭素を含有するシリコン融液よりチョクラスキー法により育成したシリコン単結晶から得たシリコン半導体基板表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。

【請求項6】 請求項1に記載のシリコン単結晶基板の表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板。

【請求項7】 請求項2または3に記載の製造方法において得られたシリコン単結晶基板の表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シリコン半導体基板の品質改善に関し、特に、ゲッタリング能力に優れ、基板上に作成するデバイスの歩留りを向上させるシリコン半導体基板及びその製造方法に関する。

【0002】

【従来の技術】 シリコン半導体基板を用いて半導体デバイスを作成する際に、基板中の結晶欠陥がデバイスの動作不良を引き起こし、基板中の結晶欠陥密度によりデバイスの製造歩留りが変化することが知られている。近年、このデバイス動作不良を引き起こす結晶欠陥として、COP (Crystal Originated Particle) と呼ばれる欠陥が注目されている。これは、シリコン半導体基板をアンモニア過酸化水素の混合液でエッチングした際、結晶中の格子欠陥を原因としたピットが基板表面に生じ、基板表面のパーティクルを計数する検査装置によりこのピットが測定されるため、このように呼ばれている。COPとはこのような測定法で検出される欠陥全般を指す名称であるが、通常のチョクラスキー (CZ) 法もしくは磁場を印加したCZ法により育成されたシリコン単結晶では、この欠陥の実体は結晶中の八面体様の空隙 (以下、空孔欠陥と称す) と考えられており、これがデバイスの構造的な破壊を引き起こすと推定されている。このようなデバイス作成に有害なCOPを低減あるいは消滅させる技術として、これまでにいくつかの提案がなされている。

【0003】 COPを消滅させる技術として、単結晶育成の際の結晶成長速度を 0.8 mm/min 以下とすることが知られている (特開平2-267195号公報)。これは、空孔欠陥を作る要素である空孔型点欠陥 (vacancy) の結晶成長界面での導入量を減少させ、また単結晶の冷却速度を緩やかなものとするにより、冷却中に発生する過飽和な空孔型点欠陥 (vacancy) の発生を抑えるものである。しかしながら、この方法では、成長速度の低下による生産性の低下を招くとともに、転位ループ等のCOPとは別種の結晶欠陥を発生させると言う問題がある。

【0004】 COP発生を抑制する技術としては、単結晶の冷却挙動の制御、特に単結晶が約 1200°C から 1000°C の温度範囲を通過する時間の制御が有効であることが知られている (特開平8-12493号公報、特開平8-91983号公報、特開平9-227289号公報)。これらの技術は、単結晶の成長速度を大きく低下させないため、生産性という点では問題はないが、COP密度の低減下限は概ね 10^5 個/ cm^3 程度であり、更なる低減、例えば 10^4 個/ cm^3 以下の密度を達成することは困難である。

【0005】 また、COP低減技術として結晶育成時に結晶を冷却する際 $850^\circ\text{C} \sim 1100^\circ\text{C}$ の温度範囲での

冷却中の単結晶の保持時間を80分未満とし、または結晶を育成する際窒素濃度が $1 \times 10^{14} \text{ atoms/cm}^3$ であるシリコン単結晶を育成し、その後シリコンウエハに加工後 1000°C 以上の温度で1時間以上熱処理する技術が知られている（特開平10-98047号公報）。これは、結晶製造時に発生するCOPのサイズ分布をより小さい方にシフトさせることにより熱処理の際に欠陥を消滅させやすくする技術である。しかしながら、このサイズ減少の効果は酸素濃度が低いほど顕著とされており、チョクラルスキー法で常用される $7 \sim 10 \times 10^{17} \text{ atoms/cm}^3$ の酸素濃度では実施されていない。このため、通常基板中の酸素濃度を高めることにより得られる基板内部での酸素析出物の発生を利用したゲッタリング能の付与とCOPの低減との両立が難しい。

【0006】また、単結晶育成時のCOP低減技術以外にも、単結晶からスライス・研磨して基板とした後に熱処理をすることにより、基板表面のCOPを低減・消滅させる技術も知られている。例えば、特開平3-233936号公報には、 $800 \sim 1250^\circ\text{C}$ で10時間以下の熱処理を行うことが提案されている。しかしながら、この公報の実施例に示されている酸化雰囲気中で熱処理を行うと、基板表面の酸化侵食に伴い、空孔欠陥が基板表面に転写され、基板表面のピットの増大を招くと言う欠点があるとともに、基板表面から深さ $1 \mu\text{m}$ の範囲内のCOP密度を 10^4 個/cm^3 以下とすることは困難である。また、特開昭59-20264号公報には、水素雰囲気中で熱処理することが提案されている。この方法は、水素雰囲気を用いることにより、最表面のCOPを消滅させ、かつ表面から $0.5 \mu\text{m}$ 以内のCOP密度を 10^4 個/cm^3 以下とすることができるが、表面からさらに深い部分のCOP密度を 10^4 個/cm^3 以下とすることはできず、デバイス作成の観点からは無欠陥層の形成が不充分である。さらに、この方法では、水素という爆発性の雰囲気を用いるため安全上の対策を充分に行う必要がある。

【0007】さらに本発明者らは、半導体デバイス作成用のシリコン半導体基板において、前述したような従来の技術では完全には除去できないデバイス作成上問題となる結晶欠陥を、生産性良く、効果的に低減あるいは消滅させたシリコン半導体基板を製造する方法として、特定濃度の窒素を含有するシリコン融液を用いてCZ法により育成したシリコン単結晶から得たシリコン半導体基板を、 1000°C 以上 1300°C 以下の温度で1時間以上熱処理する、および同様のシリコン半導体基板上にエピタキシャル成長層を堆積させるシリコン単結晶基板の製造方法を提案した（特開2000-26196号公報）。このように窒素ドーパの結晶においてはgrown-in欠陥として酸素析出物が高密度に形成され、ゲッタリングサイトとして活用することができること、ま

たこのgrown-in欠陥はDZ層を作成する際に容易に消滅し、高品質なDZ層を作成できるというものである。

【0008】このように窒素ドーパを用いた欠陥制御技術の本質はgrown-in酸素析出物の生成にあるが、この析出物の密度は、引上速度、窒素添加量によっては、あまり大きく変わらず、ゲッタリング能力をさらに増加させるために析出物密度をさらに向上させるという要望に答えることは困難であった。

10 【0009】

【発明が解決しようとする課題】本発明は、半導体デバイス作成用のシリコン半導体基板において、ゲッタリング能力をさらに向上させることのできるシリコン半導体基板及びその製造方法を提供することを目的とする。

【0010】

20 【課題を解決するための手段】本発明者らは、窒素ドーパのシリコン半導体基板中に生成するgrown-in欠陥の析出密度の向上について鋭意検討を加え、基板表面部に高品質なDZ層を容易に作成し得る一方で、基板の厚み中心領域における析出欠陥の密度をより高いものとできることを見出し、本発明を完成させたものである。

30 【0011】即ち、本発明は、(1)シリコン半導体基板中の窒素含有量が $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下であり、炭素含有量が $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であるチョクラルスキー法により育成したシリコン単結晶から得たシリコン半導体基板であって、少なくとも基板表面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が 10^4 個/cm^3 以下であり、基板の厚み中心において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^9 \text{ 個/cm}^3$ 以上であることを特徴とするシリコン半導体基板である。

40 【0012】本発明はまた、(2) $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有し、かつ $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下の炭素を含有するシリコン融液よりチョクラルスキー法により育成したシリコン単結晶から得たシリコン半導体基板を、非酸化性雰囲気において 1000°C 以上 1300°C 以下の温度で1時間以上熱処理することを特徴とするシリコン半導体基板の製造方法であって、さらに(3)シリコン単結晶をチョクラルスキー法により育成する際に、引上速度を $V \text{ (mm/min)}$ 、シリコン融液から 1300°C までの温度範囲における引上軸方向の結晶内温度勾配の平均値を $G \text{ (}^\circ\text{C/mm)}$ とすると、 $V/G \geq 0.2 \text{ (mm}^2/^\circ\text{C} \cdot \text{min)}$ を満足する条件で育成することが望ましい。

50 【0013】本発明はまた、(4) $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素

を含有し、かつ $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下の炭素を含有するシリコン融液よりチョクラスキー法により育成したシリコン単結晶から得たシリコン半導体基板表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板である。

【0014】本発明はまた、(5) $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有し、かつ $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下の炭素を含有するシリコン融液よりチョクラスキー法により育成したシリコン単結晶から得たシリコン半導体基板表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法である。

【0015】本発明はまた、(6) 上記(1)記載のシリコン単結晶基板の表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板である。

【0016】本発明はまた(7) 上記(2)または(3)に記載の製造方法において得られたシリコン単結晶基板の表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法である。

【0017】

【発明の実施の形態】以下に、本発明について詳細に説明する。

【0018】本発明に係る第1のシリコン半導体基板は、シリコン半導体基板中の窒素含有量が $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下であり、炭素含有量が $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であるチョクラスキー法により育成したシリコン単結晶から得たシリコン半導体基板であって、少なくとも基板表面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が 10^4 個/cm^3 以下であり、基板の厚み中心において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^9 \text{ 個/cm}^3$ 以上であることを特徴とする。

【0019】なお、ここでいう結晶欠陥に含まれるものとしては空孔欠陥、酸素析出物、積層欠陥などのデバイス不良の原因となるあらゆる結晶欠陥を指す。

【0020】シリコン単結晶中に窒素を導入することにより、結晶育成時の点欠陥濃度及び点欠陥の凝集挙動が変化して、結晶中に空孔欠陥を形成せず、 10^7 個/cm^3 以上の比較的高密度の析出物が発生するようになる。シリコンウエハの電気的特性の変化やデバイス熱処理時の積層欠陥などの欠陥発生を起こすことなく、ウエハ表面の微小ピットの発生を抑制するためには、シリコンウエハ中の窒素含有量を $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下とする必要が

ある。

【0021】基板中の窒素含有量が、 $1 \times 10^{13} \text{ atoms/cm}^3$ 未満では空孔欠陥を完全には消滅させ難く、 $2 \times 10^{16} \text{ atoms/cm}^3$ 超になると結晶育成の際転位が入りやすくなり、また窒素が酸素と複合欠陥を形成して基板の抵抗を変化させたり、さらに熱処理により積層欠陥ができやすくなる。なお、基板中の窒素含有量は、SIMS (Secondary Ion Mass Spectroscopy) を用いることにより測定できる。但しSIMS測定の場合 10^{13} オーダーの測定は難しく、低い窒素濃度は定量できない場合もあるが、この場合でも窒素の信号がバックグラウンドの信号よりも2倍以上の強度で局所的な増加を示す場合があり、この結晶でも窒素添加の効果は同様に起こる。

【0022】本発明に係る第1のシリコン単結晶基板は、上記したような所定濃度で窒素を含有することに加えて、さらに炭素を含有する。シリコン単結晶中の炭素は低温での析出核となり得るため、窒素の効果と相俟って、安定したより高密度の析出物を形成することが可能となる。特に窒素が作る析出物は比較的高温で析出しやすいが、炭素は低温で析出核となるため、お互いに相補って、広い温度範囲で高密度の析出物を作ることができる。

【0023】このシリコン基板中の炭素の含有量としては、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする必要がある。

【0024】基板中の炭素含有量が、 $1 \times 10^{16} \text{ atoms/cm}^3$ 未満では窒素がつくる欠陥密度に比べ炭素による欠陥密度の増大の効果が十分でなく、一方 $1 \times 10^{18} \text{ atoms/cm}^3$ 超では結晶成長の際ポリ化が起き単結晶が育成しがたくなるためである。なお基板中の炭素含有量は赤外吸収を用いることにより測定できる。

【0025】上記所定濃度で窒素および炭素を含有した結晶は、非常に高密度で結晶欠陥を有するが、結晶中に空孔欠陥を形成しない、もしくは空孔欠陥を変容させ、主として酸素析出物が発生しているため、ウエハ表面の酸素を外方拡散させるだけで欠陥を容易にかつほぼ完全に消滅させることができる。

【0026】デバイスの構造的な破壊を確実に引き起こす欠陥は、直径換算で $0.1 \mu\text{m}$ 以上の大きさを持つものであり、この大きさより小さい欠陥は障害にならないことが多い。また、シリコン半導体基板のデバイス作成では、表面から深さ $1 \mu\text{m}$ までの領域の欠陥が歩留まりに大きく影響するため、少なくとも基板表面から深さ $1 \mu\text{m}$ の領域において、デバイスに有害な欠陥を除去できれば、基板上に作成するデバイスの歩留りを大幅に向上できる。欠陥密度としては体積密度で 10^4 個/cm^3 以下であれば $1 \text{ cm} \times 1 \text{ cm} \times 1 \mu\text{m}$ の領域に欠陥1個の割合であり、現在のデバイスの大きさを考慮するとほぼ十分な欠陥密度であると考えられる。

【0027】一方、基板の厚み中心領域における欠陥は、デバイス製作プロセスにおける有害不純物に対するゲッタリング効果を発揮する上で高密度に存在することが望ましく、直径換算で $0.1\mu\text{m}$ 以上の結晶欠陥の密度が 5×10^9 個/ cm^3 以上であると、非常に優れたイントリンシックゲッタリング(IG)が期待できる。なお、シリコン半導体基板の厚み中心領域とは、ウエハ表面から $1\mu\text{m}$ より深い、好ましくは $20\mu\text{m}$ 以上内部の領域を指すものである。

【0028】このような本発明に係る第1のシリコン半導体基板の製造において用いられるシリコン単結晶の製造条件としては、CZ法により上述の窒素および炭素濃度条件を満足する基板が得られるものであれば良く、特に限定されるものではない。さらに本発明において用いられ得るCZ法としては、通常のCZ法のみならず、例えば、磁場印加CZ法等の従来知られる種々の付加的要件を付したCZ法が含まれる。

【0029】しかしながら、生産性良く効率的に本発明のシリコン半導体基板を製造するためには、 1×10^{16} atoms/ cm^3 以上 3×10^{19} atoms/ cm^3 以下の窒素を含有し、かつ 1×10^{17} atoms/ cm^3 以上 1×10^{19} atoms/ cm^3 以下の炭素を含有するシリコン融液を用いて、CZ法又は磁場印加CZ法に従いシリコン単結晶を育成することが望ましい。窒素の偏析係数は 7×10^{-4} であり、また炭素の偏析係数は0.07であって、 1×10^{16} atoms/ cm^3 以上 3×10^{19} atoms/ cm^3 以下の窒素を含有し、かつ 1×10^{17} atoms/ cm^3 以上 1×10^{19} atoms/ cm^3 以下の炭素を含有するシリコン融液を用いれば、 1×10^{13} atoms/ cm^3 以上 2×10^{16} atoms/ cm^3 以下の窒素を含有し、かつ 1×10^{16} atoms/ cm^3 以上 1×10^{18} atoms/ cm^3 以下の炭素を含有する結晶を育成し得る。

【0030】さらに、CZ法もしくは磁場印加CZ法で結晶を育成する際、引上速度を $V(\text{mm}/\text{min})$ とし、シリコン融点から 1300°C までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値を $G(^\circ\text{C}/\text{mm})$ とすると、 V/G 値を $0.2(\text{mm}^2/^\circ\text{Cmin})$ 以上の条件のもとで、 1×10^{16} atoms/ cm^3 以上 3×10^{19} atoms/ cm^3 以下の窒素を含有し、かつ 1×10^{17} atoms/ cm^3 以上 1×10^{19} atoms/ cm^3 以下の炭素を含有するシリコン融液より育成し(通常の引き上げ炉ではこれは引上速度約 $1.5\text{mm}/\text{min}$ 以上で、結晶中の窒素濃度が 5×10^{13} atoms/ cm^3 以上 2×10^{16} atoms/ cm^3 以下で、炭素濃度が 1×10^{16} atoms/ cm^3 以上 1×10^{18} atoms/ cm^3 以下に対応する)、その結晶から作成した半導体基板を用いて後述するような熱処理を行うことにより、表面無欠陥領域(DZ層)の深さを $1\mu\text{m}$ 以上より深くすることができる。

【0031】このようなシリコン単結晶から得たシリコン半導体基板を用いて、表面近傍領域および厚み中心領域に上記所望の欠陥密度を有するものとするためには、このシリコン単結晶から得たシリコン半導体基板を、 1000°C 以上 1300°C 以下の温度で1時間以上熱処理することが望ましい。

【0032】上記の様に結晶中に窒素を 1×10^{13} atoms/ cm^3 以上 2×10^{16} atoms/ cm^3 以下含有し、炭素を 1×10^{16} atoms/ cm^3 以上 1×10^{18} atoms/ cm^3 以下含有する結晶は結晶中の空孔欠陥を変容させ、酸素析出物が発生しているため、ウエハ表面の酸素を外方拡散させるだけで欠陥をほぼ完全に消滅させることができる。それに対し、従来の結晶は空孔欠陥を消滅させなければならず、その消滅にはシリコンの点欠陥の吸収放出及び結晶中の酸素の析出・放出が複雑にからむためその熱処理パターンは複雑になり、熱処理温度も 1200°C 程度の高温が必要であり、また雰囲気として水素などの危険なガスを用いないとより完全に消滅させることはできない。本発明の熱処理温度に関しては 1000°C 以上 1300°C 以下、望ましくは 1100°C 以上 1200°C 以下が適当である。温度が低いと酸素の外方拡散に多大の時間を要し、温度が高すぎると結晶中の熱平衡酸素固溶度が上がり酸素の外方拡散が起きなくなる。また、 1150°C 以上では高温になればなるほど基板表面の面荒れの問題が生じる。また一般的に、熱処理炉を高温で稼働させる際には予期しない炉体の汚染が生じやすくなるため、その危険性を減少させるためには熱処理温度を低くできることが望ましい。従って、必要なDZ層の深さおよび経済的な観点からの熱処理時間の許容時間を勘案しながら、表記の温度範囲でできるだけ低い温度で熱処理することが望ましい。

【0033】また、本発明のウエハにおいて内部の酸素析出物は熱処理により成長するため、熱処理ウエハは内部に極めて高密度のゲッタリング層を持つことができる。通常のこのような表面にDZ層を持ち内部に高密度のゲッタリング層を持つ、いわゆるIGウエハは3段の熱処理(酸素の外方拡散+酸素析出核の形成+酸素析出物の形成)によってのみ作成することができるが、本発明の製造方法を用いれば、通常のIGウエハよりもより完全性が高いDZ層を持ちかつ内部に極めて高密度のゲッタリング層を持つウエハを一回の熱処理で作成することが可能である。

【0034】熱処理雰囲気としてはウエハ表面の酸素濃度を効果的に低減でき、その結果窒素および炭素添加により発生した析出欠陥を容易に消滅させることができる非酸化性雰囲気が好ましい。非酸化性ガスとしては、経済性の観点からアルゴンガスが望ましい。含有不純物純度、特にガス中の不純物酸素の量を減らすという点ではヘリウムガスを用いる利点があるが、経済性および、ヘリウムガスの大きな熱伝導性に由来する熱処理炉の取り

扱いの難しさの等の問題がある。窒素ガスは基板表面に窒化物を形成するため不適當である。水素などの還元性雰囲気もアルゴンガスと同等の効果を持つため使用することが可能であるが、取り扱いの難しさ、特に爆発の危険性があることから、必ずしも適當であるとは言えない。

【0035】さらに付記すべきは、熱処理中に混入する不純物の量をできる限り減らす必要があることである。これは、試料の炉体内への挿入時を含む炉内雰囲気中の酸素がDZ層の完全性や結晶表面の面荒れに大きな影響を与えるためである。この点に関しては特開平11-135511号公報で指摘しているとおりである。また、これには不純物を低減することにより、表層の結晶の完全性をより上げることができることを指摘しており、この効果を用いて熱処理前に結晶表面に存在したCOPピットを平滑化することが可能である。

【0036】雰囲気ガスとして非酸化性雰囲気ではなく、酸素を0.01vol%以上100vol%以下含む雰囲気を用いることもできるが、この場合は表面の再研磨が必要である。酸素を混合させるメリットとしては前節で指摘した、熱処理中に混入する水分などの不純物の管理をゆるめることができることが挙げられる。具体的な雰囲気としては、アルゴンなどの不活性ガス雰囲気中に酸素を混合したガスが用いられる。混合させる酸素の量としては数%が望ましいが、100vol%酸素ガスを用いることも可能である。混合量が0.01vol%未満であると、雰囲気ガスへの水分などの不純物の混入を厳密に管理せねばなくなり、酸素を混合させるメリットが無くなる。熱処理後のウエハ表面には、熱処理中に発生した酸化膜により結晶欠陥の痕が、化学エッチングのピットのようにウエハ表面に発生するため、表面の再研磨が必要である。欠陥痕を完全に除去するためには表面を0.5μm以上研磨する必要がある。また、再研磨量が1.0μmより大きいと、直径換算で0.1μm以上の結晶欠陥の密度が 10^4 個/cm³以下である表面無欠陥層の厚みを1μm以上とすることが困難である。

【0037】以上のように、結晶育成の際に窒素および炭素を含有させた結晶を熱処理することにより、従来よりも単純、安全かつプロセス汚染の可能性が少ない熱処理条件で、従来の熱処理ウエハと同等以上の欠陥密度の低減、従来以上の深さのDZ層を得ることができることに加え、ウエハ内部に非常に高密度の析出欠陥を有するIG層を形成することができる。

【0038】次に、本発明に係る第2のシリコン単結晶基板は、 1×10^{16} atoms/cm³以上 3×10^{19} atoms/cm³以下の窒素を含有し、かつ 1×10^{17} atoms/cm³以上 1×10^{19} atoms/cm³以下の炭素を含有するシリコン融液よりチョクラスキー法により育成したシリコン単結晶から得たシリコン半

導体基板表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とする。

【0039】窒素を 1×10^{16} atoms/cm³以上 3×10^{19} atoms/cm³以下の濃度で、また炭素を 1×10^{17} atoms/cm³以上 1×10^{19} atoms/cm³以下の濃度で含有するように成長させたシリコン結晶は、先に説明したとおり、窒素が結晶育成時の点欠陥濃度及び点欠陥の凝集挙動を変化させ、結晶中にCOPに代表される0.1μm程度かそれ以上の空孔欠陥を変容させる。通常、結晶成長時に結晶温度が1150℃~1050℃程度の範囲の比較的高温で空孔欠陥を形成するが、窒素を所定量含有させると窒素が原子空孔の凝集を抑制することで該空孔欠陥を低減化する。一方、これよりも低い温度領域で、窒素および炭素は酸素析出物の核形成を助長し、高密度に微細で分散化させた酸素析出物を発生させる。特に、窒素および炭素含有のシリコンウエハ中の微小酸素析出物の形態は、高温で不安定な析出物を形成し、エピタキシャル成長工程における前熱処理工程である水素処理工程やエピタキシャル単結晶堆積工程において、酸素の外方拡散効果によってシリコンウエハ表面領域に存在するものは容易に分解・収縮する。その結果、サイズが直径換算で0.1μm以上の結晶欠陥密度が 10^4 個/cm³以下であるような領域がエピタキシャル層のみならずエピタキシャル層堆積前のシリコンウエハ表面から少なくとも深さ1μmまでの領域において容易に形成する。

【0040】一方、基板内部の微細な酸素析出物は、基板表面近傍に存在するものとは異なり、酸素が外方拡散して分解消滅することなくエピタキシャル層堆積工程を経ても完全には溶解消滅せず、直径換算で0.1μm以上の結晶欠陥が 5×10^9 個/cm³以上で残留し、デバイス製造工程の熱処理において成長し、IG作用に有効な結晶欠陥を誘起させ、従来に比べて顕著にIG効果を増強させたシリコン半導体基板を製造することが可能となる。

【0041】従って、このような窒素および炭素を所定量含有するシリコンウエハを用いることで、より完全な無欠陥エピタキシャル層を有するシリコン半導体基板を提供できる。

【0042】この第2のシリコン半導体基板を製造するにおいては、 1×10^{16} atoms/cm³以上 3×10^{19} atoms/cm³以下の窒素を含有し、かつ 1×10^{17} atoms/cm³以上 1×10^{19} atoms/cm³以下の炭素を含有するシリコン融液を用いてCZ法又は磁場印加CZ法により育成したシリコン単結晶インゴットをスライス、鏡面研磨して得られるシリコン半導体基板を用い、表層にシリコン単結晶層をエピタキシャル成長させる。エピタキシャル成長法は、気相成長装置で行うが、通常、気相成長前に、水素ガス雰囲気内で所定（一般には900℃から1200℃の範囲内の一定

温度)の温度域まで昇温し、引き続き塩化水素を含むガス等によるエッチングを数分行い、表面コンタミネーション除去及びウエハ表面の活性化を行った後、シラン系ガスを用いてウエハ表面にエピタキシャル薄膜を成長させるものである。

【0043】次に本発明に係る第3のシリコン半導体基板は、前記第1の発明のシリコン半導体基板表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とする。

【0044】すなわち、第3のシリコン半導体基板は、シリコン半導体基板中の窒素含有量が $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下であり、炭素含有量が $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であるチョクラスキー法により育成したシリコン単結晶から得たシリコン半導体基板であって、少なくとも基板表面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が 10^4 個/cm^3 以下であり、基板の厚み中心において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^9 \text{ 個/cm}^3$ 以上であるシリコン半導体基板の表面に、さらにエピタキシャル層を堆積することによって、より完全に基板表面の無欠陥化を図ったものであり、高品質でかつ十分な深さの無欠陥層を表面領域に有し、かつ基板内部には極めて高いゲッタリング能力を有するシリコン半導体基板となるものである。

【0045】この第3のシリコン半導体基板を製造するにおいては、第1のシリコン単結晶の製造工程の後に、第2のシリコン単結晶の製造におけるエピタキシャル法によるシリコン単結晶層の堆積工程を付加すれば良い。すなわち、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有し、かつ $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下の炭素を含有するシリコン融液よりチョクラスキー法により育成したシリコン単結晶から得たシリコン半導体基板を、非酸化性雰囲気において 1000°C 以上 1300°C 以下の温度で1時間以上熱処理し、熱処理後に得られるシリコン半導体基板の表層にシリコン単結晶層をエピタキシャル成長させるものである。

【0046】このように、本発明の第3のシリコン半導体基板を製造するための方法は、上記したような所定濃度の窒素および炭素添加した基板表面にエピタキシャル層を積層する上で、より完全に基板表面の無欠陥化を促進するためにエピタキシャル成長前に高温熱処理を施し、表面と内部の結晶欠陥密度の差を顕著にさせる方法である。

【0047】第1のシリコン半導体基板に係る製造方法におけると同様の理由から、熱処理温度は 1000°C 以上 1300°C 以下、望ましくは 1100°C 以上 1200°C 以下が適当である。従って、エピタキシャル成長前の基板表面領域に必要な無欠陥層の深さおよび経済的な観

点からの熱処理時間の許容時間を勘案しながら、上記の温度範囲でできるだけ低い温度で熱処理することが望ましい。熱処理方法としては、酸化性雰囲気でもよいが、エピタキシャル層堆積のためには不要な酸化膜の形成を排除するために非酸化性ガス雰囲気中で熱処理することが好ましい。またエピタキシャル成長については、第2のシリコン半導体基板に係る製造方法において先に説明したと同様のものである。

【0048】

10 【実施例】以下に本発明の実施例を挙げて説明するが、本発明はこれらの実施例の記載によって何ら限定されるものではない。

【0049】実施例1

炭素粉末および窒化珪素をポリシリコン原料と共に融解し、結晶をCZ法により作成した。原料のシリコン融液中の炭素濃度が $1.5 \times 10^{18} \text{ atoms/cm}^3$ となるように炭素粉末を添加し、また同様に融液中の窒素濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ となるように窒化珪素を添加した。この融液を用いて直径 200 mm 、比抵抗 $10 \Omega \text{ cm}$ の結晶を得た。結晶を育成する際の平均引上速度は約 1 mm/分 であった。この結晶からシリコンウエハを作成した。シリコンウエハ中の炭素濃度は約 $1 \times 10^{17} \text{ atoms/cm}^3$ であり、窒素濃度は $1.5 \times 10^{15} \text{ atoms/cm}^3$ であった。

20 【0050】このウエハの表面にDZ層を作成するために、 800°C で熱処理炉内に挿入し、挿入後 10°C/分 で昇温し 1150°C で8時間保持した後、 -10°C/分 で降温し 800°C で基板を取り出した。熱処理に用いたガスはコールドエバポレーターにより供給されたアルゴンガスをユースポイントで純化装置により精製したガスを用いた。ガス中の不純物濃度は 5 vol ppm 以下であった。このガスを上記熱処理を通して雰囲気として用いた。また基板の挿入時には炉前に設けられたパージボックスによりパージを行い、試料を待機させている炉前の雰囲気が不純物 5 vol ppm 以下のアルゴン雰囲気になったことを確認した後、炉口を開け、基板を挿入した。

30 【0051】この熱処理後、さらに下記の表1に示す2段熱処理を行い、ウエハ表面から $1 \mu\text{m}$ の深さにおける直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度、および基板の厚さ中心における同様の欠陥密度を測定した。得られた結果を表1に示す。

40 【0052】比較例1

炭素の添加を行わない以外は、上記実施例1と同様にして結晶を育成した。得られた結晶より作成したウエハに対し、実施例1と同じDZ層作成熱処理を行った後、実施例1と同様の2段熱処理を行い、欠陥密度を測定した。得られた結果を表1に示す。

50 【0053】比較例2

窒素の添加を行わない以外は、上記実施例1と同様にし

て結晶を育成した。得られた結晶より作成したウエハに対し、実施例1と同じDZ層作成熱処理を行った後、実施例1と同様の2段熱処理を行い、欠陥密度を測定した。得られた結果を表1に示す。

【0054】比較例3

炭素および窒素のいずれの添加も行わない以外は、上記*

*実施例1と同様にして結晶を育成した。得られた結晶より作成したウエハに対し、実施例1と同じDZ層作成熱処理を行った後、実施例1と同様の2段熱処理を行い、欠陥密度を測定した。得られた結果を表1に示す。

【0055】

【表1】

	アニール	500℃6 時間+ 1000℃16 時間	700℃5 時間+ 1000℃16 時間	800℃4 時間+ 1000℃16 時間	900℃6 時間+ 1000℃16 時間
実施例1	深さ1 μ mでの欠陥密度 基板中心での欠陥密度	測定下限以下 8E+09	測定下限以下 7E+09	測定下限以下 5E+09	測定下限以下 2E+09
比較例1	深さ1 μ mでの欠陥密度 基板中心での欠陥密度	測定下限以下 5E+08	測定下限以下 5E+08	測定下限以下 5E+08	測定下限以下 5E+08
比較例2	深さ1 μ mでの欠陥密度 基板中心での欠陥密度	測定下限以下 5E+07	測定下限以下 4E+07	測定下限以下 4E+07	測定下限以下 4E+07
比較例3	深さ1 μ mでの欠陥密度 基板中心での欠陥密度	測定下限以下 3E+06	測定下限以下 3E+06	測定下限以下 3E+06	測定下限以下 3E+06

【0056】表1に示すように、実施例1と比較例1～3を比べると、ウエハ表面のDZ層の品質は同等であるが、基板中心の欠陥密度が実施例1の方が、数倍多くなっており、ゲッタリング能に優れる基板となっていることが判る。

【0057】実施例2

上記実施例1で用いたものと同様の結晶から作成したシリコンウエハをエピタキシャルウエハの基板として用い、エピタキシャルウエハを作成した。

【0058】エピタキシャルウエハの製造にあつては、基板をエピタキシャル成長装置に装填し、水素ガス雰囲気内で1100℃～1150℃まで昇温し、その後塩化水素ガスによるエッチングを数分を行い、トリクロルシランガスを用いて1150℃でウエハ表面にエピタキシャル薄膜を5 μ m成長させた。

【0059】エピタキシャルウエハを作成後、さらに下記の表2に示す2段熱処理を行い、ウエハ表面から1 μ mの深さにおける直径換算で0.1 μ m以上の結晶欠陥の密度、および基板の厚さ中心における同様の欠陥密度を測定した。得られた結果を表2に示す。

【0060】比較例4～6

実施例2において、エピタキシャルウエハの基板として、それぞれ比較例1～3で用いたものと同様の結晶から作成したシリコンウエハを用いる以外は、実施例2と同様にしてエピタキシャルウエハを作成し、さらに実施例2と同様に2段熱処理を行った後、欠陥密度を測定した。得られた結果を表2に示す。

【0061】

【表2】

	アニール	500℃6 時間+ 1000℃16 時間	700℃5 時間+ 1000℃16 時間	800℃4 時間+ 1000℃16 時間	900℃6 時間+ 1000℃16 時間
実施例2	深さ1 μ mでの欠陥密度 基板中心での欠陥密度	測定下限以下 8E+09	測定下限以下 7E+09	測定下限以下 5E+09	測定下限以下 2E+09
比較例4	深さ1 μ mでの欠陥密度 基板中心での欠陥密度	測定下限以下 5E+08	測定下限以下 5E+08	測定下限以下 5E+08	測定下限以下 5E+08
比較例5	深さ1 μ mでの欠陥密度 基板中心での欠陥密度	測定下限以下 5E+07	測定下限以下 4E+07	測定下限以下 4E+07	測定下限以下 4E+07
比較例6	深さ1 μ mでの欠陥密度 基板中心での欠陥密度	測定下限以下 3E+06	測定下限以下 3E+06	測定下限以下 3E+06	測定下限以下 3E+06

【0062】表2に示すように、実施例2と比較例4～6を比べると、ウエハ表面のDZ層（エピタキシャル層）の品質は同等であるが、基板中心の欠陥密度が実施例2の方が、数倍多くなっており、ゲッタリング能に優れた基板となっていることが判る。

【0063】なお、ライフタイムはすべて300 μ sec以上で問題なく、熱処理評価後のエピタキシャル層内の結晶欠陥発生も皆無であり、エピタキシャル層から元のシリコンウエハ表面下まで、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しは

【0064】実施例3

実施例1で用いたものと同様の結晶から作成したシリコンウエハに対し、実施例1におけると同様のDZ作成熱処理を施した後、このウエハをエピタキシャルウエハの基板として用い、エピタキシャルウエハを作成した。

【0065】エピタキシャルウエハの製造にあつては、基板をエピタキシャル成長装置に装填し、水素ガス雰囲気内で1100℃～1150℃まで昇温し、その後塩化*

*水素ガスによるエッチングを数分行い、トリクロルシランガスを用いて1150℃でウエハ表面にエピタキシャル薄膜を5 μ m成長させた。

【0066】エピタキシャルウエハを作成後、さらに下記の表3に示す2段熱処理を行い、ウエハ表面から1 μ mの深さにおける直径換算で0.1 μ m以上の結晶欠陥の密度、ウエハ表面から6 μ mの深さ（元々の基板表面から深さ1 μ m）、および基板の厚さ中心における同様の欠陥密度を測定した。得られた結果を表3に示す。

【0067】比較例7～9

実施例3において、エピタキシャルウエハの基板として、それぞれ比較例1～3で用いたものと同様の結晶から作成したシリコンウエハをDZ作成熱処理したものをを用いる以外は、実施例3と同様にしてエピタキシャルウエハを作成し、さらに実施例3と同様に2段熱処理を行った後、欠陥密度を測定した。得られた結果を表3に示す。

【0068】

【表3】

	アニール	500℃6時間+ 1000℃16時間	700℃5時間+ 1000℃16時間	800℃4時間+ 1000℃16時間	900℃6時間+ 1000℃16時間
実施例3	深さ1 μ mでの欠陥密度	測定下限以下	測定下限以下	測定下限以下	測定下限以下
	深さ6 μ mでの欠陥密度	7E+05	5E+05	3E+05	1E+05
	基板中心での欠陥密度	8E+09	7E+09	5E+09	2E+09
比較例7	深さ1 μ mでの欠陥密度	測定下限以下	測定下限以下	測定下限以下	測定下限以下
	深さ6 μ mでの欠陥密度	1E+05	1E+05	1E+05	1E+05
	基板中心での欠陥密度	5E+08	5E+08	5E+08	5E+08
比較例8	深さ1 μ mでの欠陥密度	測定下限以下	測定下限以下	測定下限以下	測定下限以下
	深さ6 μ mでの欠陥密度	1E+06	1E+06	1E+06	1E+06
	基板中心での欠陥密度	7E+06	5E+06	5E+06	5E+06
比較例9	深さ1 μ mでの欠陥密度	測定下限以下	測定下限以下	測定下限以下	測定下限以下
	深さ6 μ mでの欠陥密度	1E+06	1E+06	1E+06	1E+06
	基板中心での欠陥密度	1E+06	1E+06	1E+06	1E+06

【0069】表3に示すように、実施例3と比較例7～9を比べると、ウエハ表面のDZ層（エピタキシャル層）の品質は同等であるが、基板中心の欠陥密度が実施例3の方が、数倍多くなっており、ゲッタリング能に優れた基板となっていることが判る。

【0070】

【発明の効果】以上述べたように本発明のシリコン半導体基板は、基板表面部に高品質かつ十分な深さの無欠陥層を有する一方で、基板の厚み中心領域において高密度に析出欠陥を有し優れたゲッタリング能力が期待できるため、高集積度の高い信頼性を要求されるMOSデバイス用ウエハを製造するのに最適である。

フロントページの続き

(72)発明者 長谷部 政美
千葉県富津市新富20-1 新日本製鐵株式
会社技術開発本部内

(72)発明者 大橋 渡
千葉県富津市新富20-1 新日本製鐵株式
会社技術開発本部内

Fターム(参考) 4G077 AA02 AA03 AB01 BA04 DB01
ED04 ED06 EH09 FE11 GA02
HA12 TK01
5F045 AB02 AC01 AC05 AD15 AF03
AF16 BB12 EB13